2012.06.10 改正

正誤表　キットで学ぶ！シリーズ　No.06　FPGA チャレンジャー入門編　XILINX Spartan 3E 版

ページ	誤	正
P12	最下行 ↓ 次のページへ	次のページへは続きません。 ISE のインストールは❽で完了です。
P22	最下タイトル番号 2. Digilent Adept による通信確認	3. Digilent Adept による通信確認 また，この通信確認は「PC モード」で行なってください。
P41	「PROM へのコンフィギュレーションファイル転送」囲み内　5 行目 「Browse...」から同様に「.ucf」を選択します。	「Browse...」から同様に「.bit」を選択します。
P52	最下行 宣言文にはアーキテクチャ内部使用する信号など宣言します。	宣言文にはアーキテクチャ内部で使用する信号など宣言します。 P.63「シグナル文」参照
P54	最上行　タイトル番号 ❹　回路記述内の構文	❺　回路記述内の構文
P68	バス宣言（VHDL） 信号名 : in　STD_LOGIC_VECTOR (信号名 : out STD_LOGIC_VECTOR (	バス名 : in　STD_LOGIC_VECTOR (バス名 : out STD_LOGIC_VECTOR (

2013.06.10 改正

正誤表　キットで学ぶ！シリーズ　No.06　FPGA チャレンジャー入門編　XILINX Spartan 3E 版

P73

「VHDL の数値表現」　解説文追加

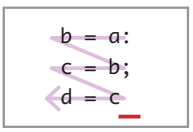
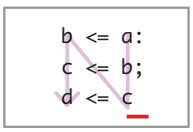
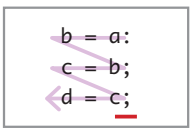
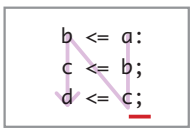
VHDL の数値表現

■ 10 進数の場合

VHDL で 10 進数を表現したい場合は数値をそのまま記述します。
2 進数や 16 進数のようにダブルクオートで囲む必要や、基数を記述する必要はありません。
また、区切りのためにアンダーバーが使えます。

数値表現例

数値定数	ビット幅	基数	2進数表現
0	1	10 進数	0
1	1	10 進数	1
1234	11	10 進数	10011010010
12_34	11	10 進数	10011010010

ページ	誤	正
P74	「1. 順次回路の設計」　3 行目 は Verilog でのフリップフロップの設計方法を・・	は HDL でのフリップフロップの設計方法を・・
P76	ノンブロッキング代入文 信号名 1　<=　信号名 2	セミコロンが必要です。 信号名 1　<=　信号名 2;
P76	「ブロッキング代入とノンブロッキング代入」 囲み内   	セミコロンが必要です。  
P77	process 文 process (センシティビティ・リスト); process (センシティビティ・リスト)	セミコロンは不要です。

2012.06.10 改正

正誤表　キットで学ぶ！シリーズ　No.06　FPGA チャレンジャー入門編　XILINX Spartan 3E 版

ページ	誤	正
P77	if 文　タイトル番号 ❹ if 文	 ❷ if 文
P77	event 文　タイトル番号 ❹ event 文	 ❸ event 文
P83	「学習内容」4 行目 本書では論理シミュレータに「ISim」使用します。	 本書では論理シミュレータに「ISim」を使用します。
P85 〜 P86	手順番号 ❸「Finish」をクリックします。 ❹ 生成されたテストベンチファイルは・・・ ❺ テストベンチを記述していく前に・・・	 ❹「Finish」をクリックします。 ❺ 生成されたテストベンチファイルは・・・ ❻ テストベンチを記述していく前に・・・
P96	「配置配線」4 行目 RESET ボタンはどれでも買い舞いませんが,	 RESET ボタンはどれでも構いませんが,
P98	最下行 次の課題 10-2 を	 次の課題 10-2 を参考にしてください。
P101	「Divide_Clock.vhd」　12 行目 `STD_LOGIC_VECTOR (25 downto 0);`	 `STD_LOGIC_VECTOR (24 downto 0);`
P105	「17. プログラム（回路）の考え方」　1 〜 2 行目 組み合わせたて作成できます。	 組み合わせて作成できます。
P105	「18. プログラム（回路）の記述」　1 行目 .v ファイルに課題を実現するプログラムを・・・	 .v ファイルもしくは .vhd ファイルに課題を実現するプログラムを・・・

2013.06.10 改正

正誤表　キットで学ぶ！シリーズ　No.06　FPGA チャレンジャー入門編　XILINX Spartan 3E 版

ページ	誤	正
P109	「2. プログラム（回路）の記述」　1 行目～ 2 行目 .v ファイルに課題を実現するプログラムを記述していきます。以下に課題とサンプルを示します。エディタ画面に以下に記すサンプルを記述しましょう。	.v ファイルもしくは .vhd ファイルに課題を実現するプログラムを記述していきます。以下にサンプルリストを示します。エディタ画面に記述しましょう。
P111	6 行目 ❹ ワークスペースに .ucf の末尾に・・・	❹ ワークスペースの .ucf の末尾に・・・
P116	「9. プログラム（回路）の記述」　1 行目 .v ファイルに課題を実現するプログラムを・・・	.v ファイルもしくは .vhd ファイルに課題を実現するプログラムを・・・
P119	「11. コンフィギュレーションファイルの転送」3 行目 今度は SW1 を操作すると・・・	今度は スライドスイッチ 0 を操作すると・・・
P121	「UpDown_Counter.vhd」　13 行目 `STD_LOGIC_VECTOR (15 downto 0);`	`STD_LOGIC_VECTOR (19 downto 0);`
P122	「UpDown_Counter.vhd」　39 行目 `buff <= (others => '0');`	この行の記述は 11-2 の「SW_Counter.vhd」と異なります。buff を 2 ビットのバス信号に変更したので，`buff <= '0'` ではエラーになります。
P123	配置配線表 SW[1] | N3 | SW1	SW[1] | L3 | SW1
P129	「4. コンパイル（論理合成）」囲み　1 行目 右表の配置配線の場合，以下のピット例は・・・	右表の配置配線の場合，以下のビット例は

P138	コンポーネント宣言
	`component コンポーネント名`
	`　port( ポート宣言 )`
	`end component;`
		`component コンポーネント名`
		`　port( ポート宣言 );`
		`end component;`
		セミコロンが必要です。

正誤表　キットで学ぶ！シリーズ　No.06　FPGA チャレンジャー入門編　XILINX Spartan 3E 版

P138	誤	コンポーネント・インスタンス宣言
		`インスタンス名 : コンポーネント名`
		`port map ( ポート名 => 信号 );`

	正	`インスタンス名 : コンポーネント名  port map ( ポート名 => 信号 );` 構文は 1 行です。