

正誤表

キットで学ぶ! シリーズ No.04 FPGA チャレンジャー入門編 ALTERA Cyclone IV版

ページ	誤	正																								
P1	STEP 08 フリップフロップ <u>57</u>	STEP 08 フリップフロップ <u>67</u>																								
	DEO-Nano キットに CD-ROM と DVD-ROM が付属しなくなりました。 以下はそれに伴うテキストの変更箇所です。																									
P3	必要なパソコン環境 ■ ドライブ : DVD-ROM	DVD-ROM ドライブは不要 ■ ドライブ : DVD-ROM																								
P3	キットに同封されるパーツリスト CD-ROM : DEO-Nano システム DVD-ROM : Altera Complete Design Suite Free Package	キットに同封されない CD-ROM : DEO-Nano システム DVD-ROM : Altera Complete Design Suite Free Package																								
	STEP 02 (P10 ~ P17) の開発環境の構築は、 別紙「添付 CD 廃止にともなう改訂情報」をご覧ください。																									
P6	GPIO ピンアサイン 左最下段 <table border="1" style="margin-left: auto; margin-right: auto;"><tr><td>GPIO1 [2]</td><td><u>PIN_T13</u></td></tr></table>	GPIO1 [2]	<u>PIN_T13</u>	<table border="1" style="margin-left: auto; margin-right: auto;"><tr><td>GPIO1 [2]</td><td><u>PIN_F13</u></td></tr></table>	GPIO1 [2]	<u>PIN_F13</u>																				
GPIO1 [2]	<u>PIN_T13</u>																									
GPIO1 [2]	<u>PIN_F13</u>																									
P25	解答例ソース リンク URL http://www.adwin.com/elec/fpga/sample.html	以降ページ すべて http://www.adwin.com/product/AKE-1104.html																								
P47	赤枠囲み 1 枠目の 3 行目 ① Quartus II のメニューから <u>Assignmenst</u> > Settings を選択 P78 2 行目も同じ	① Quartus II のメニューから <u>Assignment</u> > Settings を選択																								
P65	4 入力セクタの真理値表 <table border="1" style="margin-left: auto; margin-right: auto;"><thead><tr><th>入力 A</th><th>入力 B</th><th>入力 C</th><th>入力 D</th><th>入力 S</th><th>出力 Y</th></tr></thead><tbody><tr><td>-</td><td><u>0</u></td><td>0</td><td>-</td><td>10</td><td>0 (C)</td></tr></tbody></table>	入力 A	入力 B	入力 C	入力 D	入力 S	出力 Y	-	<u>0</u>	0	-	10	0 (C)	<table border="1" style="margin-left: auto; margin-right: auto;"><thead><tr><th>入力 A</th><th>入力 B</th><th>入力 C</th><th>入力 D</th><th>入力 S</th><th>出力 Y</th></tr></thead><tbody><tr><td>-</td><td><u>-</u></td><td>0</td><td>-</td><td>10</td><td>0 (C)</td></tr></tbody></table>	入力 A	入力 B	入力 C	入力 D	入力 S	出力 Y	-	<u>-</u>	0	-	10	0 (C)
入力 A	入力 B	入力 C	入力 D	入力 S	出力 Y																					
-	<u>0</u>	0	-	10	0 (C)																					
入力 A	入力 B	入力 C	入力 D	入力 S	出力 Y																					
-	<u>-</u>	0	-	10	0 (C)																					
P97	step11-1.v の 11 行目 11 <u>else if</u> (Q == 9) <u>Q = 0</u> ;	11 <u>else if</u> (Q == 9) <u>Q <= 0</u> ;																								

正誤表

キットで学ぶ! シリーズ No.04 FPGA チャレンジャー入門編 ALTERA Cyclone IV版

ページ	誤	正
P99	TestBench.v の 11 行目と 12 行目 <pre> 11 #45 TSW = 1' <u>b0</u>; 12 #5 TSW = 1' <u>b1</u>; </pre>	<pre> 11 #45 TSW = 1' <u>b1</u>; 12 #5 TSW = 1' <u>b0</u>; </pre>
P102	step11-2.v の 7 行目 <pre> 11 reg [<u>15:0</u>] temp_count = 0; </pre>	<pre> 11 reg [<u>18:0</u>] temp_count = 0; </pre> <p>2¹⁹ をカウントしたいので 19bit 必要</p>
P106	<p>❶ 条件分岐 case 囲みの文法例</p> <pre> case (信号名) ; </pre>	<pre> case (信号名) _ </pre>
P111	step12-2.v の 58 行目 <pre> 58 default:SEG <= <u>4'</u> b0001_1111; </pre>	<pre> 58 default:SEG <= <u>8'</u> b0001_1111; </pre>
P113	<p>「3. プログラム (回路) の記述」の解説文 ・ ・ ・ step<u>14</u>-a.v (Counter_7seg), step<u>14</u>-b.v (UpDown_Counter), step<u>14</u>-c.v (Decoder) の 3 つの verilog ファイルに分割して、 ・ ・ ・</p>	<p>・ ・ ・ step<u>13</u>-a.v (Counter_7seg), step<u>13</u>-b.v (UpDown_Counter), step<u>13</u>-c.v (Decoder) の 3 つの verilog ファイルに分割して、 ・ ・ ・</p>